

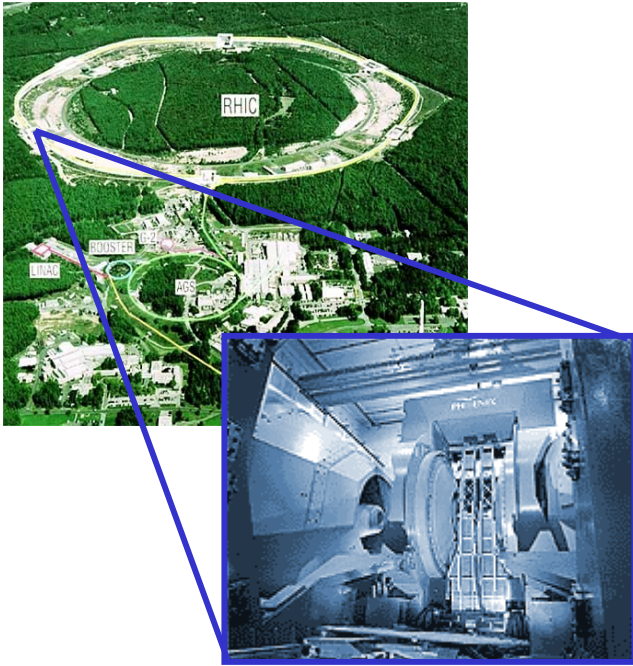
PHENIX実験Silicon pixel検出器に おけるASIC開発

狩野博之

理化学研究所 延與放射線研究室

1. PHENIX実験シリコンピクセル検出器
2. PHENIX実験で要求されていること
3. **ASIC**を用いたシステムについて

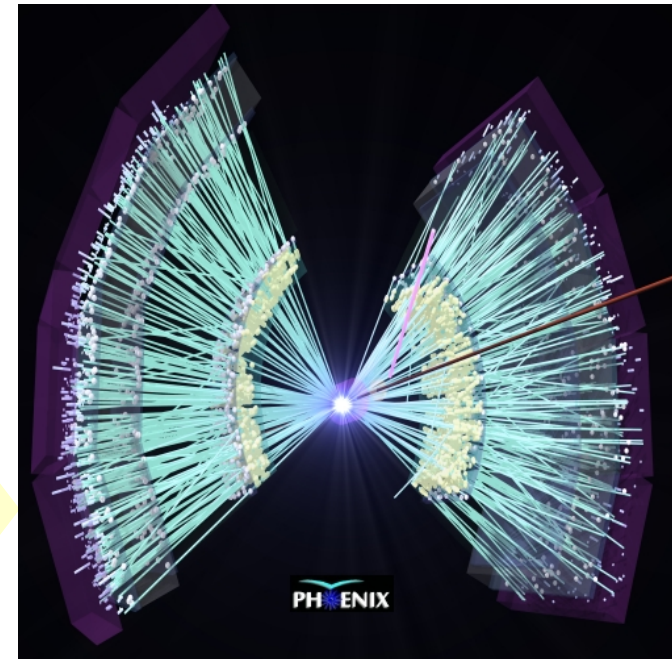
PHENIX実験について



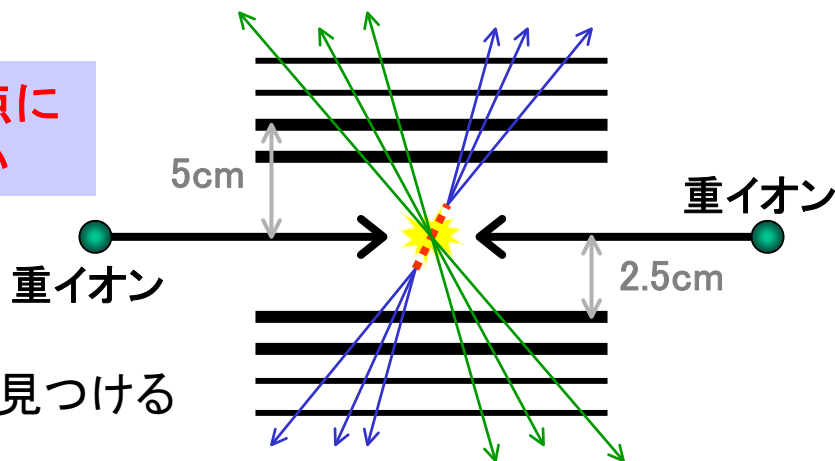
重イオン(金-金)衝突($200\text{GeV}/N$)におけるQGP状態
偏極陽子陽子衝突(250GeV)における核子内部パートンの偏極状態の研究を目的とする

クォーク・グルーオン・プラズマ状態の探索
・・・超高密度、超高温状態

チャームクォークの検出
1000個の荷電粒子の中からチャームを識別



いかに衝突点に 近づけるか



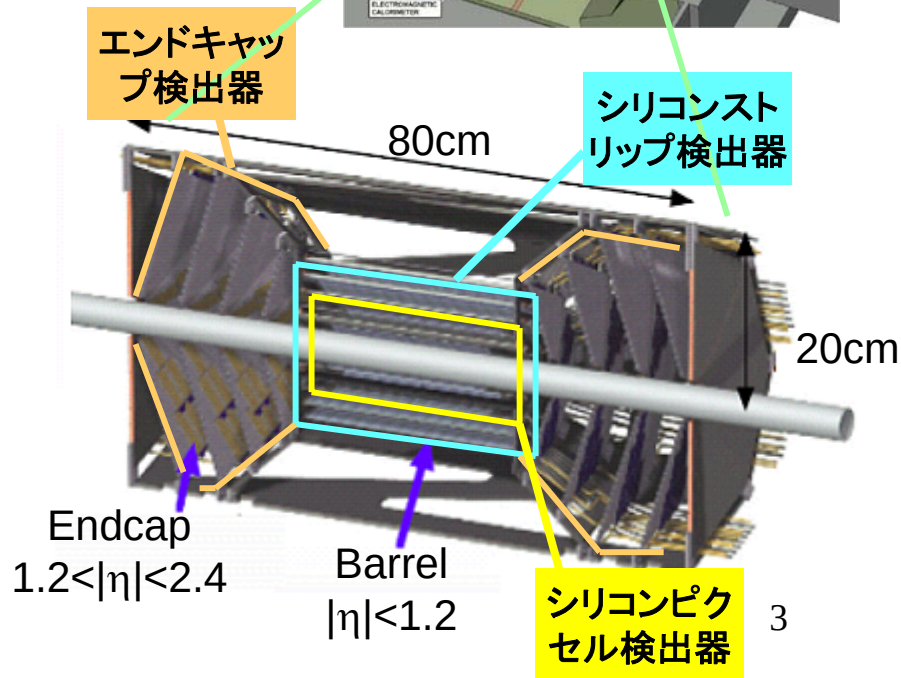
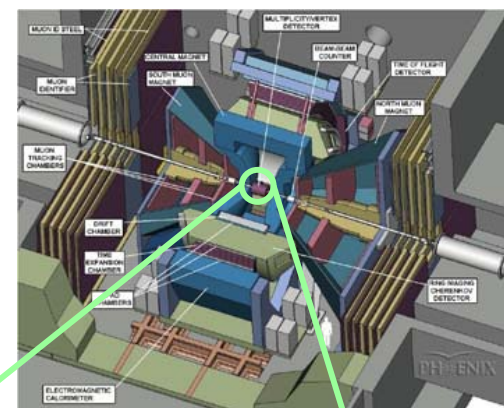
ボトム粒子 $\sim 300\mu\text{m}$

10M rad/10年

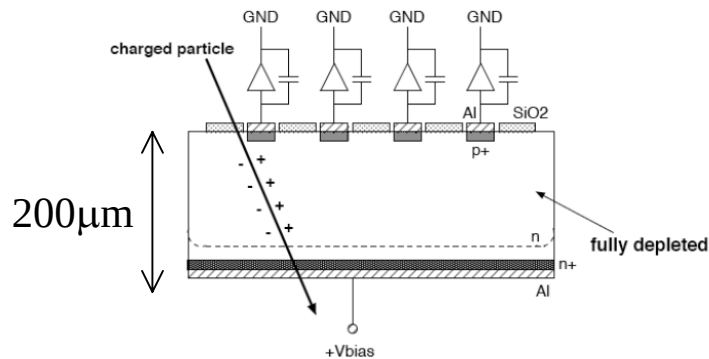
短期間の実測から予測

約400万チャンネル

8192x4x120=3932160ch/system

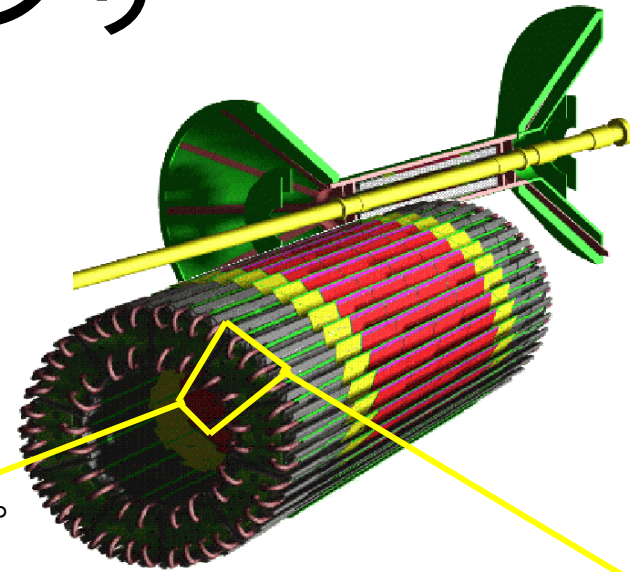


ピクセルセンサー

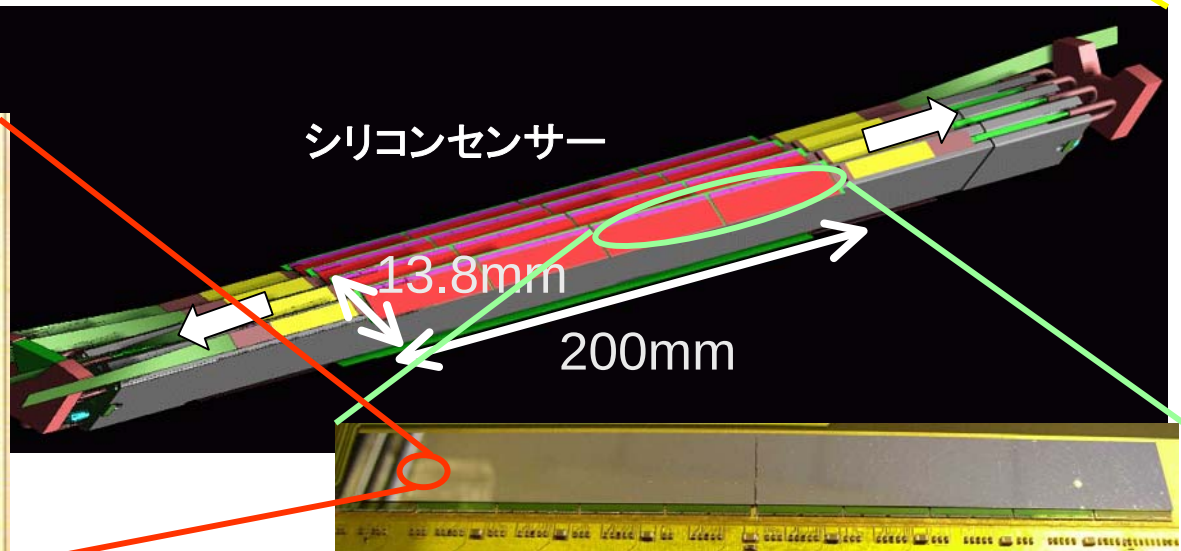
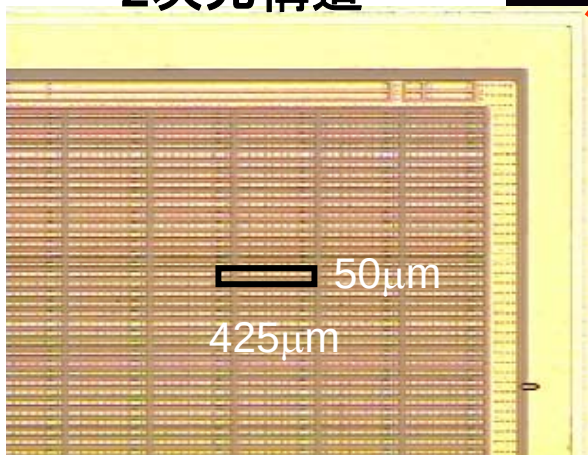


電荷を帯びた粒子が半導体通過時に電子・ホールペアを作る。この電子又はホールを集めて信号として読取る。

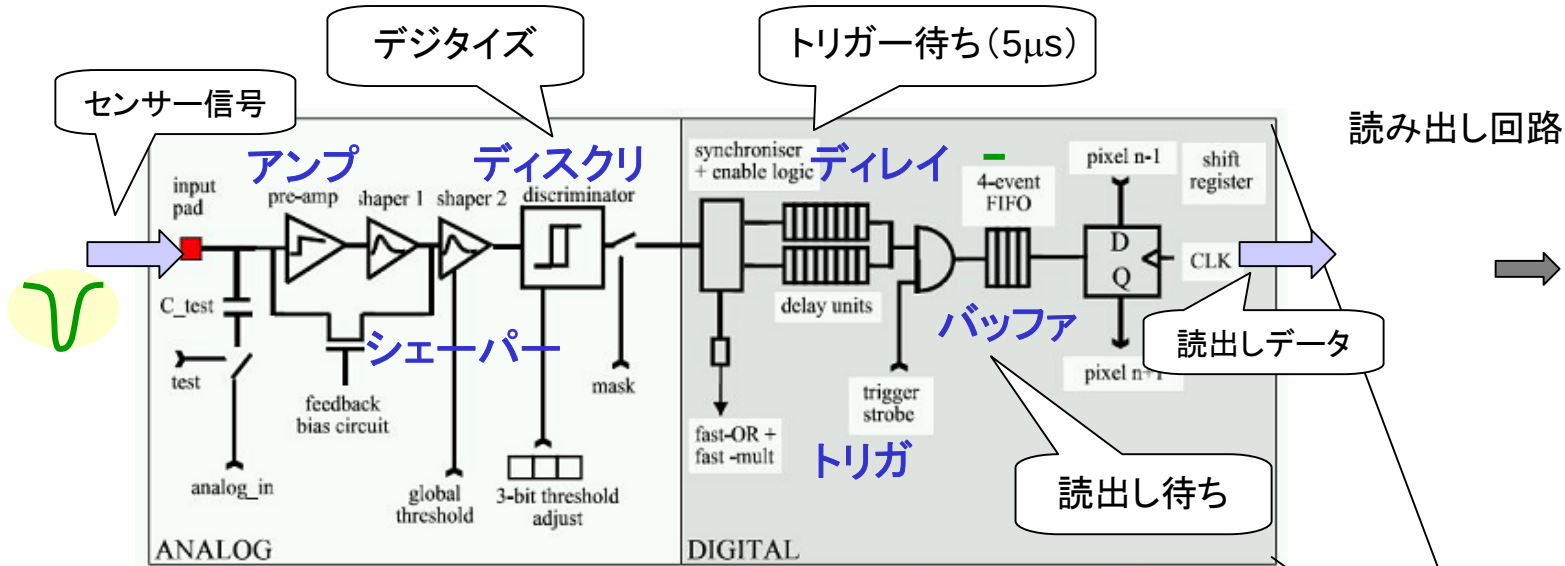
薄い構造と小さくて精密なものが安価に製造可能



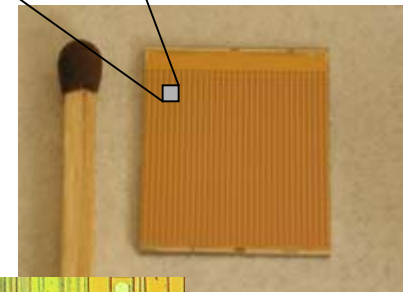
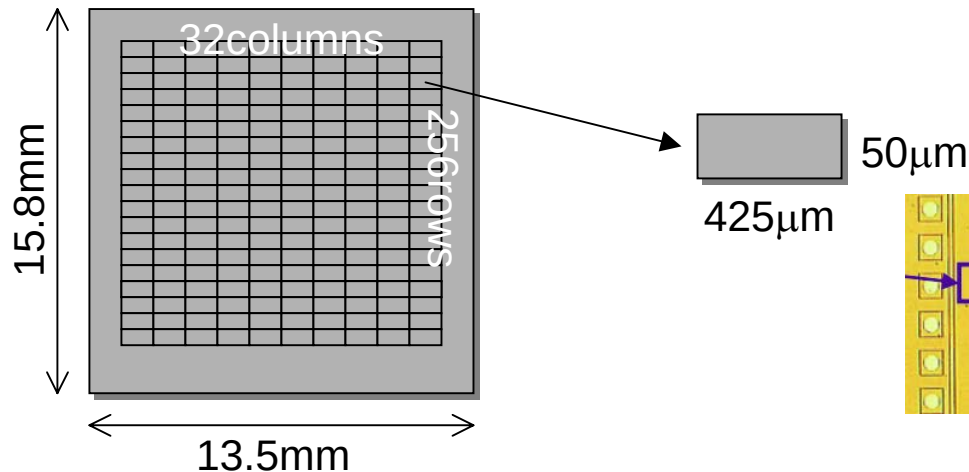
2次元構造



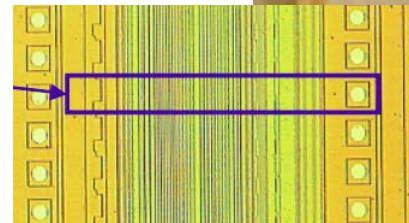
読出しチップ



チップ構造

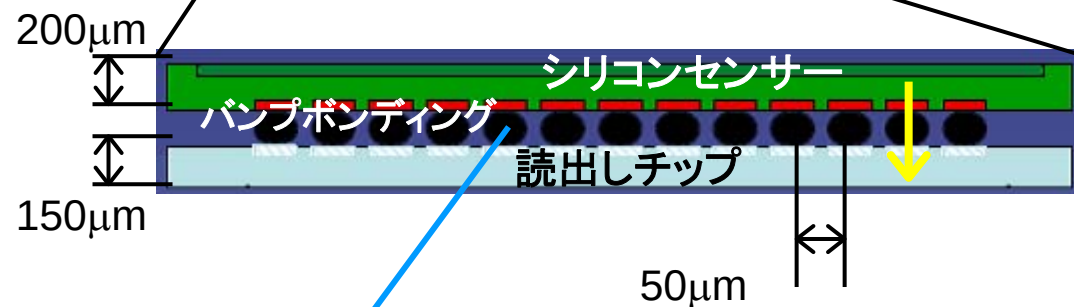


読出しチップ

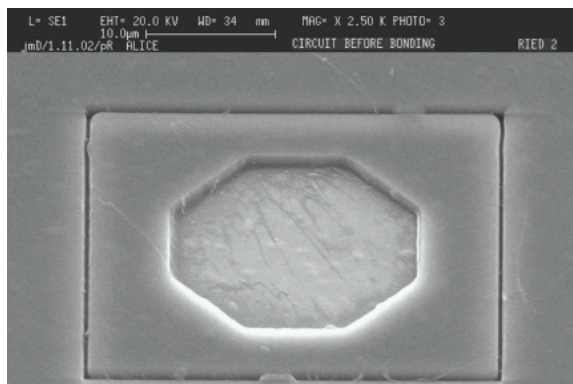


バンブボンディング

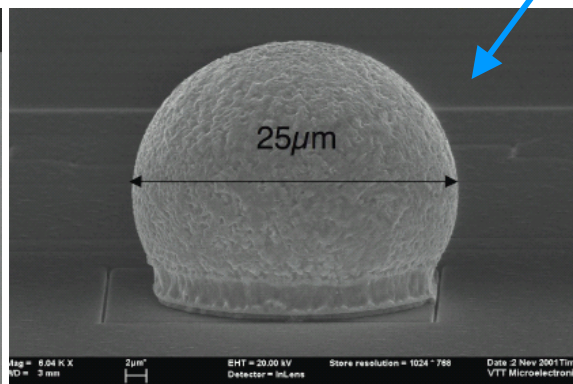
センサーの信号をバンブボンディングされた
読み出し回路で直接読み出す



Pb-Sn solder bump

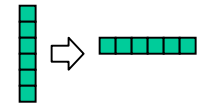


チップ側



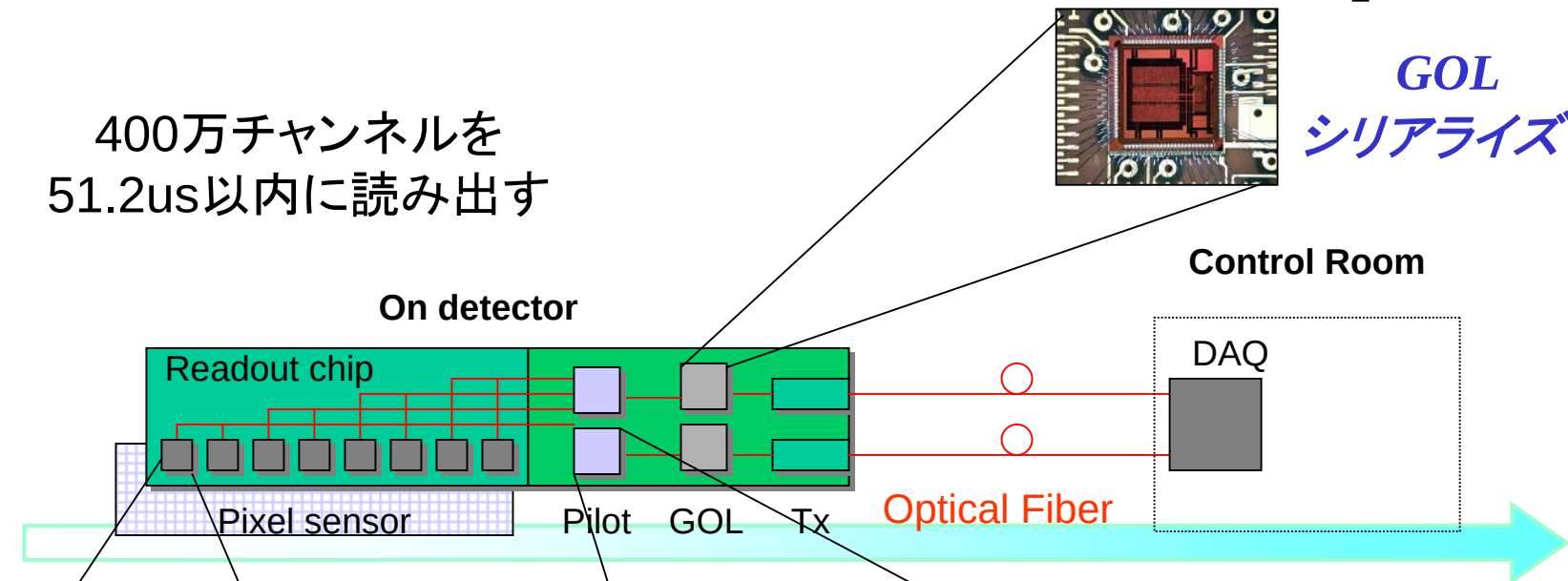
センサー側

読出しシステム



GOL
シリアルライズ

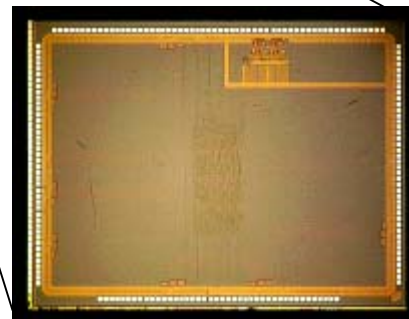
400万チャンネルを
51.2us以内に読み出す



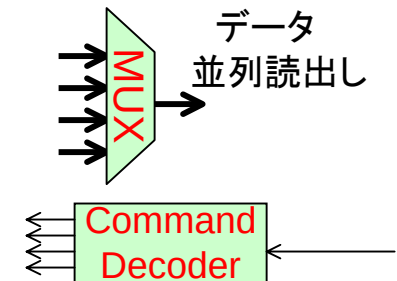
Readout chip
デジタイズ



Pilot chip
コントロール



8192x4=32768ch/chip



システムに求められること

- 小型・・・衝突中心付近
- 低発熱、低消費電力
センサーのノイズ
- 多チャンネル、高速処理
400万チャンネルを51.2 μ s以内に読み出す
- チャンネル単価
\$1/ch～\$100/ch(ガスケンバー)
- 耐放射線・・・10Mrad/10year

ASICとFPGA

ASIC (ICApplication Specific Integrated Circuit) :
特定用途にカスタマイズされたIC

FPGA (Field Programmable Gate Array) :
再プログラミング可能なLSI

	ASIC	FPGA	汎用IC
消費電力	○ 1.8~2.5V	○ 1.8V~2.5V	× 3.3V~5V
集積度	○ 500kゲート	○ 100kゲート	×
高速性	○ 100MHz	○ 400MHz	×
価格	× Waferで数千万円	○ chipで数千~数万	×
耐放射線	○	×	×
アナログ回路	○	×	○
再プログラミング	×	○	×

耐放射線

SEE (Single Event Effect) : 荷電粒子 ; bit反転等

TID (Total Ionizing Doze) : ガンマ線 ; 格子欠損等

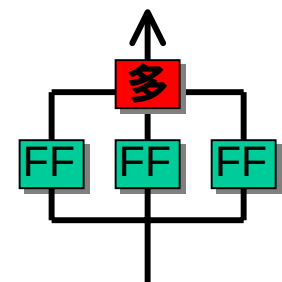
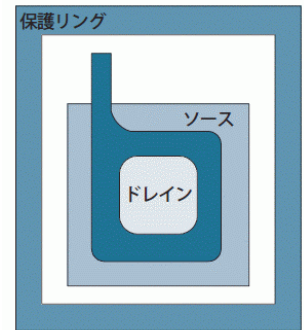
放射線への強さ : FPGA << ASIC

FPGAはそれ全体がレジスタのかたまりのようなものであり、一箇所のビット反転により全体が誤動作を起こす恐れがある。

ASICでは、様々な対策を講じることが可能

ASICの放射線耐性

- デバイス自体の耐性: 酸化膜への影響は、酸化膜の厚みに逆比例の関係にあり10-12 μm 未満では急激に減少すると言われている(IBM0.25 μm では5 μm)。0.6 μm プロセス付近を境に大幅に耐性が上がると言われている。最近のプロセスの主流は0.25 μm ～90nmである。
- レイアウトによる工夫: エッジレストランジスタ(放射線によって生じたソース-ドレイン間のリーク電流を取除く)とガードリング(その他リークパス形成防止)
- 回路による工夫: 多数決ロジックによりSEEへの耐性が大幅に向上する。



ASIC利用の問題点

回路設計、開発、生産全てを会社に委託

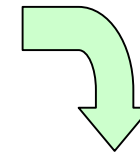
一億円

自分たちで作る場合

	期間	コスト
設計	6ヶ月	ツール 数百万円
チップ製造	3ヶ月	～数千万円
テストとバグ取り	3ヶ月	...



経験の積み重ね	1-2年	...
---------	------	-----



どのように問題点を
解決するか？



相乗りWafer、共通ラ
イブラリ、共通ASIC、
情報の共有

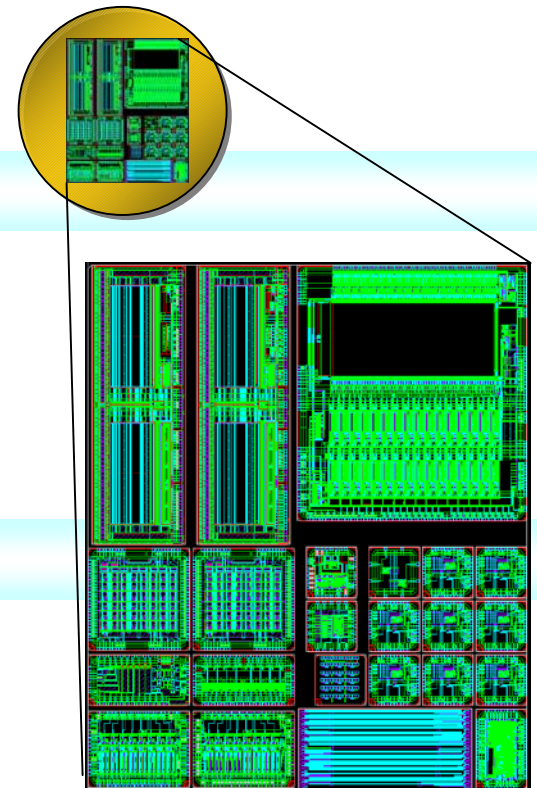
学生・ポスドク：経験継承をどのようにするか？

相乗りWaferの例

一つのWaferを数グループでシェアすることによりコストを下げる
数千万円のWaferを数十グループで分け合い、単価としては数百万円程度に収まる。

CERN研究所; MPW (Multi-Project-Wafer) :
CERN内の多数の研究グループで一枚のWaferをshareすることによりコストの引き下げを行う。また共通ロジックのライブラリ化により、生産性が向上する

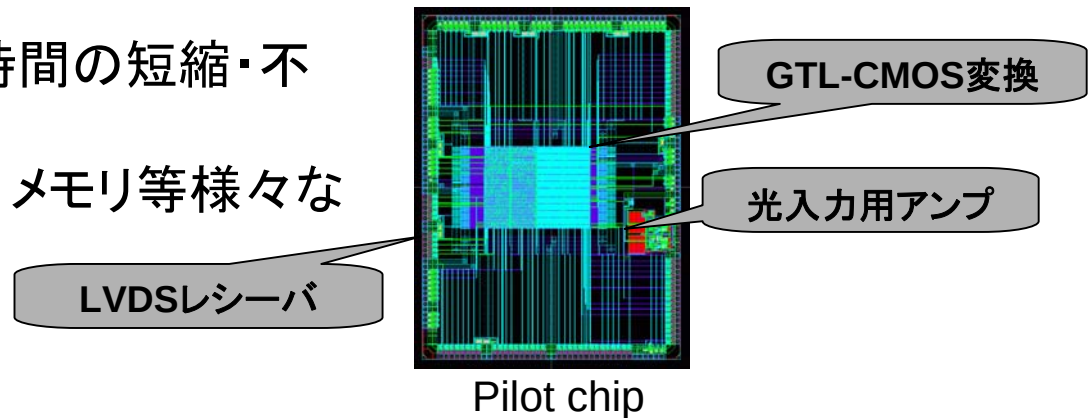
東京大学; VDEC:
数社から安価にプロセスを提供してもらう。
数十の研究室による相乗りWaferプロジェクト(教育機関限定)



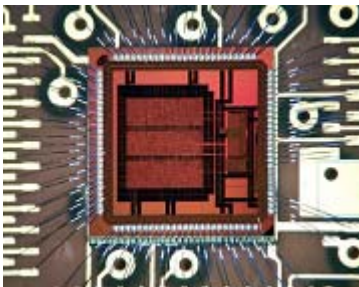
共通ライブラリ

よく使われる回路を部品化して再利用を容易に出来るようにする

再利用することにより、設計時間の短縮・不具合の回避が可能になる
レベル変換、LVDSレシーバ、メモリ等様々なライブラリが存在する



汎用性を持たせたASICを開発



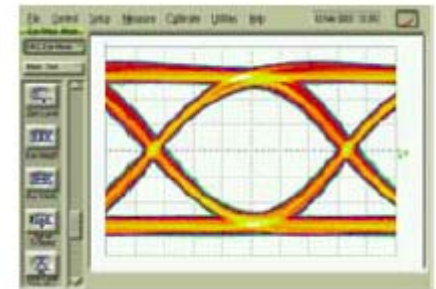
GOL: シリアルライザ
(g-link, Ethernet)
ALICE, CMS, PHENIX...



Readout chip:
Amp, Shaper, FIFO,
Discriminatorの組合せ
LHCb, ALICE, PHENIX...

ASICとFPGAの使い分け

最新のFPGAは100万ロジックセル、
400Mhz程度のクロックレート、
10Gbpsまでの高速シリアルライザやメモ
リなどのハードマクロも利用可能、
0.13mm-1.5Vのデバイスも存在する



Eye diagram (Xilinx/RocketIO)

再プログラミング可能⇒アップグレード
やバグFIXが容易
少数利用でも比較的安価である

まとめ

- 耐放射線、アナログ回路の必要なシステムではASICの利用が必須である。
- 我々はPHENIX実験でASICを用いた読出しシステムを順調に開発している。
- 省スペース、多チャンネル、高速処理が必要となる測定器読出しシステムでは、ASICやFPGAを適所に利用することが有用である。