

## PDC (Proton Drift Chamber)用読出回路の試験／選択

### [ 1 ] 目的と方法

PDC は、anode 面が walenta 型 drift chamber 構造を持ち、位置読出はカソード側で行なう。1 台の U, V, X に対して夫々 16ch x 9 のストリップ読出があり、読出チャンネルの総数は 864ch である。

読出方式は、電荷分割法とアナログ型独立読出が考えられるが、前者は多粒子に対し弱く、後者は新たな回路開発と費用も必要である。後者に関しては昨年度新たな試作回路を 64ch (16chx4) 分製作して試験中であるが、FEM に ADC まで入っている事もあり、なかなか試験段階では状況を理解するのが難しい。

新たな、より単純と思われる方法を考え、既知の方法と比較を行った。

\* 方式 1 (ADC 法) : cathode strip 信号を、analog ASD、ASD shaper/delay module を介して LRS4300B charge ADC で読み、電荷重心を求める。

\* 方式 2 (TDC 法) : cathode strip 信号を、通常の ASD で LVDS 信号に変換後、TDC により leading/trailing edge の時間を測定し、logic 信号の中の情報を得る。巾の情報を信号の電荷情報に変換し電荷重心としての位置を求める。

方式 1 と方式 2 を比較する為、analog 信号と logic 信号の両方を出力する ASD を 3 台製作した。ただし Cathode 信号は anode 信号を逆極性の為、若干の信号変換は必要である。

実際には、以下の 2 段階で試験を行う。

\* 3 台の同じ型の cathode 読出型 drift chamber (以下 KDC と呼ぶ) を使用して ADC と TDC から位置分解能を求め、比較する。

\* 位置分解能が測定済の KDC 2 台と PDCP (PDC 試験機) を用いて、PDCP の位置分解能を求める。

なお、ありあわせの MWPC を改造した為、PDCP は PDC に近い構造を持つが若干異なる。

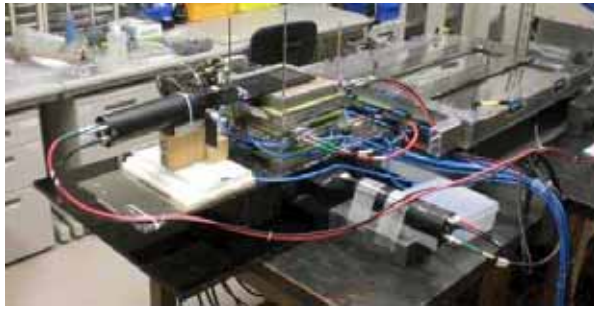
\* PDC : anode-potential= 8 mm、half gap= 8 mm、cathode pitch= 3 mm  
cathode strip pitch= 12 mm

\* PDCP : anode-potential= 7.5 mm、half gap= 8mm、cathode pitch= 2.5 mm、cathode strip= 12.5 mm

\* KDC : anode-potential= 5 mm、half gap= 5 mm、cathode pitch= 7mm

### [ 2 ] 結果

#### [ 2.1 ] 方法



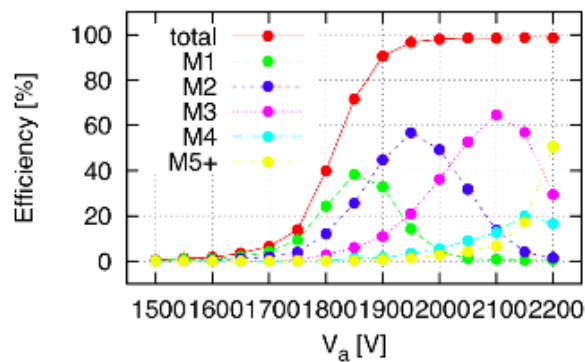
試験のSETUP: 手前が3台のKDC。奥がPDCP。

\*試験条件:

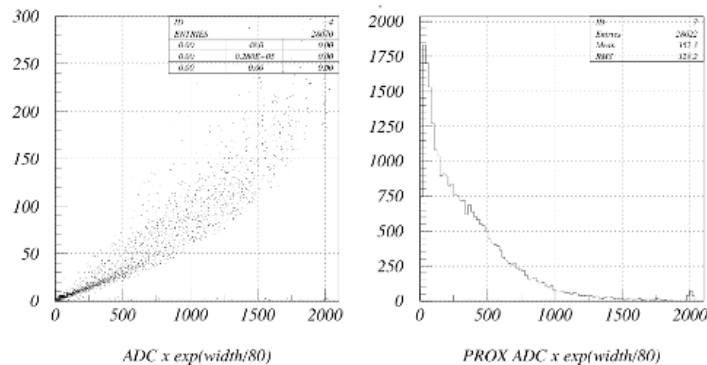
- \* Gas : He+60%CH<sub>4</sub>
- \* ASD threshold : +0.4V
- \* HV: V<sub>p</sub>= -0.1kV (fix)
- \* LRS3377: 1nsec/ch, 512 nsec range, both edge
- \* 位置分解能測定: 宇宙線を用いる

[ 2.2 ] 高電圧

TDC 情報を用い、multiplicity>3 が主になる電圧を大体+2.2kV と決定。この HV で ADC が overflow しないように ASD shaper/delay の gain を調整した。以下のデータは全て+2.2kV/-0.1kV。



[ 2.3 ] ADC、TDC 情報の比較

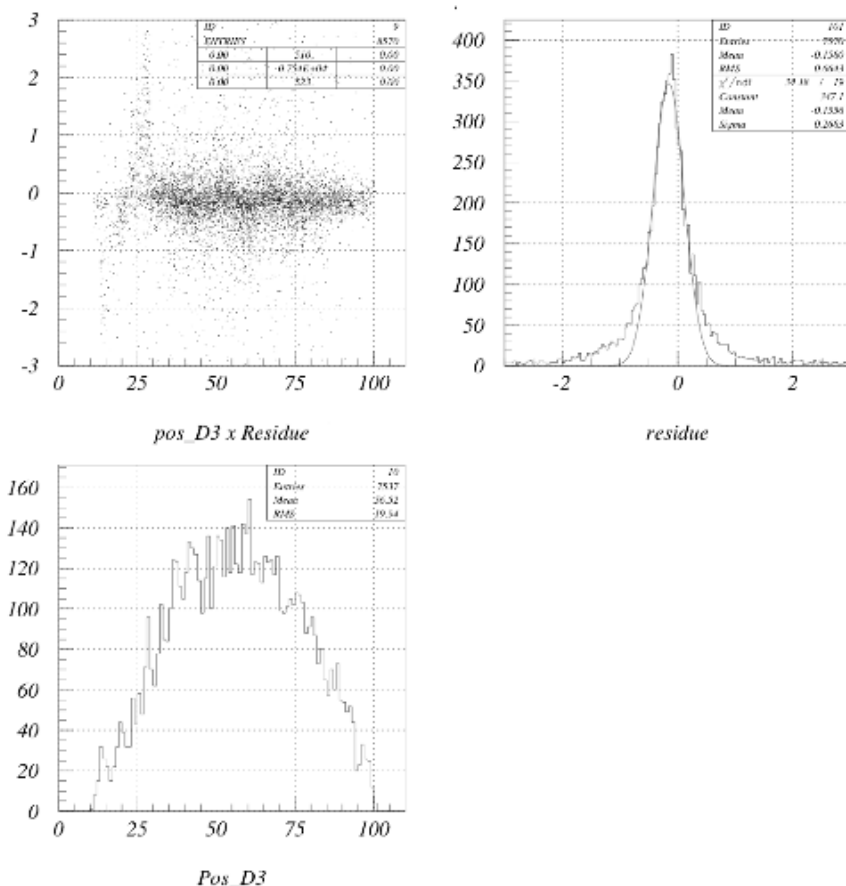


左: X軸(ADC) x Y軸(TDCの中から求めた”電荷”)。右: x軸への射影

これによると、ADCによる電荷と TDC 巾から求めた”電荷”は単純に比例してはいない。

#### [ 2.4 ] ADC 情報を用いた位置分解能

電荷比較法で求めた位置から残差分布を求め、3台の位置分解能が等しいと仮定して面当たりの位置分解能を求める。パラメータである有効ギャップは分布が滑らかになる値をめのこで選んだ。

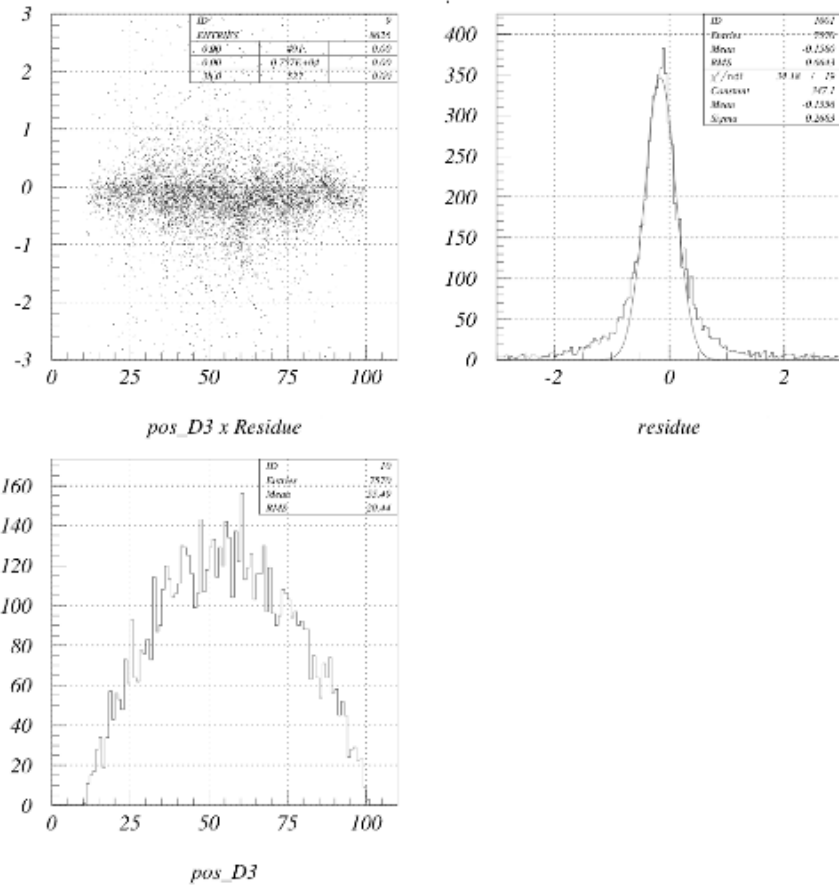


左上：中央の検出器での位置 x 残差、左下：検出器での位置、右：残差分布

残差分布の巾 0.27 mm (rms) から面当たりの位置分解能を求めると  $\sigma = 0.22$  mm であった。ガスとして He+60%CH<sub>4</sub> を使った事を考えると、かなり良い位置分解能が得られたと考えて良いと思う。

#### [ 2.5 ] TDC 情報を用いた位置分解能

TDC 測定による巾  $W$  の情報から、電荷情報 ( $Q/C_f$ ) を  $V/V_{th} = e^{W/80}$  として求め、同様の解析を行った。得られた残差分布の巾 0.27 mm (rms) から面当たりの位置分解能を求めると  $\sigma = 0.22$  mm であり、ADC 情報を用いた解析による値とほぼ等しい。



左上：中央の検出器での位置 x 残差、左下：検出器での位置、右：残差分布

### [ 3 ] 結論

Cathode 読出による位置測定では、strip 上での電荷分布情報が必要な為、analog 情報が必要になる。今回用いたうちの一つの ASD shaper/delay 回路は 500nsec analog delay を含む比較的高価な方法である。電荷情報を ASD 出力の LVDS 信号の巾の情報から求める方法を試みたが、analog 読出方式とほぼ同じ位置分解能である  $\sigma = 220 \mu\text{m}$  程度を得る事ができた。位置分解能としては、電荷分割法で以前に試験した時に得た約 1 mm (rms) よりもはるかに良く、又多粒子検出も可能である。

この方法では、BDC, FDC1, FDC2 に用いている物と全く同じ ASD, ASD power supply, VME TDC を用いる。読出方法は基本的に digital 信号処理である為、noise には比較的強いと考えられる。少なくともまだ準備をしていない電荷分割法に用いる front end card よりも開発の手間がなく、又既存の商用ベースで購入可能な回路の拡充だけで信号処理が可能である。今回は TDC の時間分解能は 1nsec/ch であったが、AMSC VME TDC は 0.78 nsec/ch であり若干改善される。

#### [ 4 ] 提案

この方法により PDC 2 台からの信号 (864 ch) を処理する為に新たに必要な回路は、

* ASD (GNA210)	5 4 台	1.6 万円/台 x54= 86 万円
* ASD Power Supply (GNN450):	6 台	10.3 万円/台 x6= 62 万円
* AMSC VME TDC (AMSC AMT-TDC):	1 4 台	30 万円/台 x14= 420 万円
* VME Crate :	1 台	
* ASD 極性変換カード(新規製作) :	5 4 台	
* 34/10 芯 TWS cables :	54+54 本	
	● 合計 :	568 万円

である。 ASD, ASD-PS, TDC は BPC, BDC, FDC1, FDC2 に使用している物と同じである為、予備回路ともなりうる。

昨年度 Clear Pulse に開発してもらった FEC が 186 万円 / 64ch であった事を考えると、必要な予算金額の点と過去の経験の点から、この方式の方がはるかに現実的と考えている。

もし今年度に全チャンネル又は半分の新規回路を購入する事が可能であれば、今年度末に PDC が納品された時点で読出回路もそろえる事が可能である。

#### [ 5 ] 今後

試験を続ける予定の項目は、

- \* KDC 2 台を reference chamber として、PDCP の位置分解能を評価する。
- \* ガスを、diffuson が少なく energy loss の大きい He+50% $C_2H_6$  に変えて測定。